

7195  
ETHERNET SCHRITT/WEG + ENCODER  
MOTION-CONTROL-SCHNITTSTELLE

**DEUTSCH**

## Inhaltsübersicht

**Inhaltsverzeichnis**

7195 ETHERNET SCHRITT/WEG + ENCODER MOTION-CONTROL-SCHNITTSTELLE .....	1
ALLGEMEINES .....	5
BESCHREIBUNG .....	5
HARDWARE-KONFIGURATION .....	5
ALLGEMEINES .....	5
ENCODER-EINGANGSMODI .....	5
ERWEITERUNGSSTECKER 5V STROM .....	6
ERWEITERUNGSSTECKER 5V I/O TOLERANZ .....	6
PULLUP-SPANNUNG .....	6
AUSWAHL DER IP-ADRESSE .....	6
ANSCHLÜSSE .....	7
7195 ANSCHLUSSPOSITIONEN UND STANDARD-JUMPER-POSITIONEN .....	7
PINBELEGUNG DES P3-STROMANSCHLUSSES .....	8
P4 JTAG STECKER PINOUT .....	8
RAHMEN BODEN .....	8
P1 ERWEITERUNGSSTECKER .....	8
TB1 ENCODER 0... 2 STECKER .....	9
TB2 ENCODER 3.. 5 ANSCHLUSS .....	10
TB3 STEP/DIR 0... 3 STECKER .....	11
TB4 STEP/DIR 4,5, SERIELLER ERWEITERUNGSSTECKER .....	11
TB5 ISOLIERTER I/O-ANSCHLUSS .....	12
TB6 ISOLIERTER EINGANGSSTECKER .....	12
BETRIEB .....	13
RS-422/RS-485-SCHNITTSTELLE .....	13
SCHRITT/DIR-SCHNITTSTELLE .....	14
ENCODER-SCHNITTSTELLE .....	14
MAXIMALE GEBERZAHL .....	14
BOARD-STATUS-LEDS .....	15
E/A-STATUS-LEDS .....	15
ISOLIERTE E/A .....	16
ISOLIERTE EINGANGSEIGENSCHAFTEN .....	16
MPG-ENCODER-EINGÄNGE .....	16
ISOLIERTE AUSGANGSEIGENSCHAFTEN .....	16
HOST SCHNITTSTELLE .....	17

FPGA.....	17
AUSWAHL DER IP-ADRESSE .....	17
HOST-KOMMUNIKATION.....	17
UDP.....	17
LBP16.....	17
WINDOWS-ARP-PROBLEME .....	17
KONFIGURATION .....	17
FALLBACK.....	18
EEPROM LAYOUT.....	18
BITFILE-FORMAT.....	19
MESAFLASH .....	19
EINSTELLEN DER EEPROM-IP-ADRESSE .....	19
FREIER FLASH-SPEICHERPLATZ .....	20
FALLBACK-ANZEIGE .....	20
NICHTKONFIGURATION .....	20
UHR-SIGNALE.....	20
LOGISCHE LEISTUNG.....	20
PULLUP-WIDERSTÄNDE.....	20
ERWEITERUNGSSTECKER IO EBENEN .....	20
ERWEITERUNGSSTECKER STARTUP I/O SPANNUNG .....	21
REFERENZINFORMATIONEN.....	21
LBP16.....	21
ALLGEMEINES.....	21
LBP16-BEFEHLE.....	21
INFOBEREICH .....	22
INFOBEREICH SPEICHERGRÖSSE FORMAT .....	22
INFO_AREA ZUGANG.....	23
7195 UNTERSTÜTZTE SPEICHERBEREICHE .....	23
PLATZ 0: HOSTMOT2-REGISTER.....	24
PLATZ 1: ZUGANG ZUM ETHERNET-CHIP .....	25
PLATZ 2: ZUGRIFF AUF DEN ETHERNET-EEPROM-CHIP.....	26
ETHERNET EEPROM LAYOUT .....	26
PLATZ 3: FPGA FLASH EEPROM CHIP ZUGRIFF .....	27
FLASH-SPEICHER-REGISTER .....	27
PLATZ 3: FPGA FLASH EEPROM CHIP ZUGRIFF .....	28
PLATZ 3: FPGA FLASH EEPROM CHIP ZUGRIFF .....	28
RAUM 4 LBP TIMER/BENUTZUNGSBEREICH .....	29
SPEICHERPLATZ 4 LAYOUT:.....	29

RAUM 6 LBP STATUS/KONTROLLBEREICH.....	30
SPEICHERPLATZ 6 LAYOUT:.....	30
FEHLERREGISTERFORMAT .....	30
RAUM 7: LBP NUR-LESE-BEREICH.....	31
SPEICHERPLATZ 7 LAYOUT:.....	31
ELBPCOM .....	32
SPEZIFIKATIONEN .....	33
ZIEHUNGEN .....	34

## ALLGEMEINES

### BESCHREIBUNG

Das 7I95 ist eine über Ethernet angeschlossene Bewegungssteuerungsschnittstelle, die für den Anschluss von bis zu 6 Achsen von Schritt- oder Servomotoren entwickelt wurde und Encoder-Feedback für jede Achse beinhaltet. Es werden Schrittfrequenzen bis zu 10 MHz unterstützt. Das 7I95 verfügt außerdem über 24 isolierte Eingänge und 6 isolierte Ausgänge für den allgemeinen E/A-Einsatz. 6 Hochgeschwindigkeits-Encoder-Schnittstellen stehen für die Achsenrückführung und für spindelsynchronisierte Bewegungen zur Verfügung. Zwei serielle RS-422/RS485-Erweiterungsschnittstellen und eine parallele Erweiterungsschnittstelle sind ebenfalls vorhanden.

Alle Schritt- und Richtungsausgänge sind gepufferte 5-V-Signale, die 24 mA treiben können. Alle Ausgänge unterstützen den Differenzialmodus, um die Anfälligkeit für Rauschen zu verringern. Die Encoder können mit TTL- oder Differenzeingang verwendet werden.

24 isolierte Eingänge sind für allgemeine Steuerungszwecke vorgesehen, einschließlich Endschalter- und Bedienfeld-Eingänge. Die Eingänge arbeiten mit 4V bis 36V DC und können ein positives oder negatives Bezugspotential für Sourcing- oder Sinking-Eingangsanswendungen haben. 8 der isolierten Eingänge können zur Unterstützung von bis zu 4 Quadratur-MPGs verwendet werden. Sechs isolierte 36V 2A-Ausgänge ermöglichen Sinking- und Sourcing-Kombinationen.

Zwei RS-422/RS-485-Schnittstellen sind für die E/A-Erweiterung über eine serielle E/A-Tochterkarte vorgesehen. Zusätzlich zu den E/A auf der Karte ermöglicht ein FPGA-Erweiterungsanschluss, der mit Mesas 25-poligen Tochterkarten oder Standard-Parallelport-Breakout-Karten kompatibel ist, nahezu unbegrenzte E/A-Optionen, einschließlich zusätzlicher Quadratur- oder Absolut-Encoder-Eingänge, Schritt-/Dreh- oder PWM-/Dreh-Ausgänge und Feld-E/A-Erweiterung auf Hunderte von E/A-Punkten. Die gesamte Feldverdrahtung wird über steckbare 3,5-mm-Schraubklemmenblöcke abgeschlossen. Der 7I95 wird mit einer einzigen 5-V-Versorgung betrieben.

## HARDWARE-KONFIGURATION

### ALLGEMEINES

Bei der Positionierung der Jumper für das Hardware-Setup wird davon ausgegangen, dass die 7I95-Karte aufrecht steht, d. h. der RJ-45-Anschluss der Host-Schnittstelle nach links zeigt.

### ENCODER-EINGANGSMODI

Die sechs Encodereingänge des 7I95 können für den differentiellen oder Single-Ended-Betrieb programmiert werden. Jeder Encoder hat 3 Jumper, die den Eingangsmodus der einzelnen A/B/Z-Eingänge festlegen. Normalerweise werden diese Jumper alle auf Single-Ended- oder Differentialbetrieb für einen einzelnen Geberkanal eingestellt. Die Jumper werden für differentielle Eingänge auf die rechte Position und für Single-Ended-Eingänge auf die linke Position gesetzt. Beachten Sie, dass sich die drei Jumpergruppen in der Nähe des zugehörigen Encoderanschlusses befinden. Die Standardeinstellung ist differenziell (rechte Position) für alle Geber.

ENCODER	A	B	Z
0	W20	W18	W14
1	W12	W10	W8
2	W5	W3	W1
3	W21	W19	W15
4	W13	W11	W9
5	W6	W4	W2

## ERWEITERUNGSSTECKER 5V STROM

Das 7195 bietet die Möglichkeit, die an den Erweiterungsstecker (P1) angeschlossene Breakout-Platine mit 5V zu versorgen.

Die 5-V-Stromversorgung des Breakouts ist durch einen PTC-Baustein geschützt, so dass das 7195 oder das Kabel bei einem versehentlichen Kurzschluss nicht beschädigt wird. Diese Option sollte nur für Mesa-Breakout-Platinen oder Platinen aktiviert werden, die speziell verdrahtet sind, um 5V-Strom an den DB25-Pins 22 bis 25 anzunehmen. Wenn die Option deaktiviert ist, sind die DB25-Pins 22 bis 25 geerdet. Jumper W23 steuert die Breakout-Power-Option.

JUMPER	POS	FUNKTION
W23	UP	5V BREAKOUT POWER AKTIVIERT
W23	DOWN	5V BREAKOUT POWER DEAKTIVIERT (STANDARD)

## ERWEITERUNGSSTECKER 5V I/O TOLERANZ

Das auf dem 7195 verwendete FPGA hat eine absolute maximale Eingangsspannung von 4 V. Um die Verbindung mit 5V-Eingängen an seinem Erweiterungsanschluss zu ermöglichen, verfügt das 7195 über Busschalter an allen P1-Erweiterungs-E/A-Pins. Die Busschalter schalten sich ab, wenn die Eingangsspannung einen voreingestellten Schwellenwert überschreitet.

Die 5V-E/A-Toleranzoption ist die Standardeinstellung und sollte normalerweise aktiviert bleiben.

Für Hochgeschwindigkeitsanwendungen, bei denen nur Signale mit einer maximalen Spannung von 3,3 V vorhanden sind, kann die 5-V-E/A-Toleranzoption deaktiviert werden. W7 steuert die 5V-E/A-Toleranzoption. Wenn sich W22 in der Standardposition UP befindet, ist der 5V-Toleranzmodus aktiviert. Wenn sich W22 in der Position DOWN befindet, ist der 5V-Toleranzmodus deaktiviert.

## PULLUP-SPANNUNG

Mit dem Jumper W7 wird nicht nur der Eingangsspannungstoleranzmodus ausgewählt, sondern auch die Spannung des Pullup-Widerstands. Wenn W22 in der UP-Position steht, ist der gemeinsame 4,7K-I/O-Pullup-Widerstand mit 5 V verbunden, wenn W22 in der Down-Position steht, ist der gemeinsame 4,7K-I/O-Pullup-Widerstand mit 3,3 V verbunden.

JUMPER	POS	FUNKTION
W22	UP	5V E/A-TOLERANZ / 5V PULLUPS (STANDARD)
W22	DOWN	KEINE 5-V-TOLERANZ / 3,3-V-PULLUPS

## AUSWAHL DER IP-ADRESSE

Das 7195 verfügt über drei Optionen zur Auswahl seiner IP-Adresse. Diese Optionen werden mit den Jumpern W16 und W17 ausgewählt.

W16	W17	IP-ADRESSE
DOWN	DOWN	FEST 192.168.1.121 (STANDARD)
DOWN	UP	VOM EEPROM BEHOBEN
UP	DOWN	BOOTP
UP	UP	INVALID

---

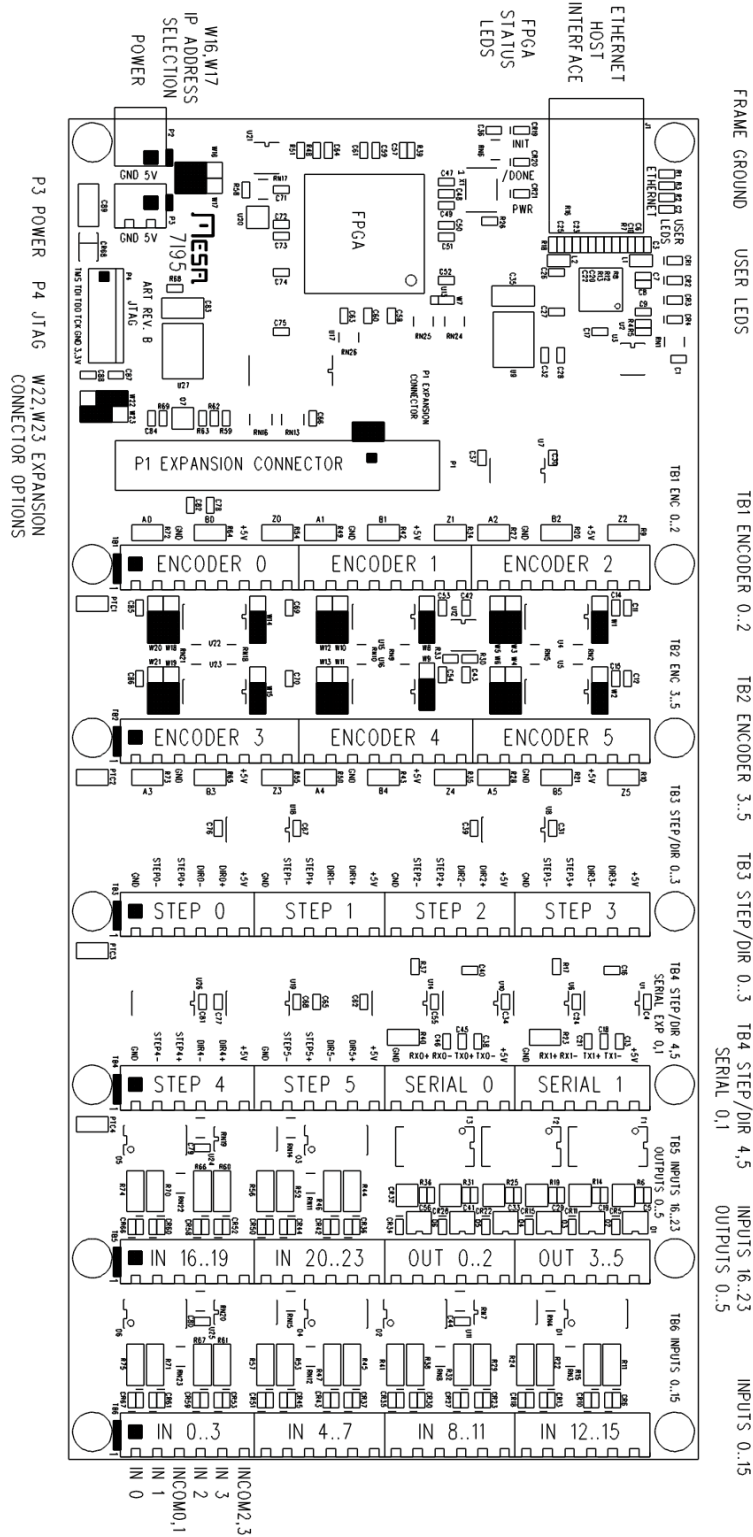
*Hinweis: Die standardmäßige EEPROM-IP-Adresse bei Auslieferung ist 10.10.10.10. Diese kann über das Mesafly-Dienstprogramm geändert werden*

---

# ANSCHLÜSSE

## 7195 ANSCHLUSSPOSITIONEN UND STANDARD-JUMPER-POSITIONEN

HINWEIS: SCHWARZE QUADRATE KENNZEICHNEN PIN 1



## PINBELEGUNG DES P3-STROMANSCHLUSSES

P3 ist der 5V-Stromanschluss des 7195. **Legen Sie keine andere Spannung als 5 V an P3 an!** P3 ist eine steckbare 3,5MM-Schraubklemme. Die Pinbelegung von P3 ist wie folgt:

PIN	FUNKTION
1	+5V OBEN, QUADRATISCHES PAD
2	GND UNTEN, RUNDES PAD

## P4 JTAG STECKER PINOUT

P4 ist ein JTAG-Programmierschluss. Dieser wird normalerweise nur zur Fehlersuche verwendet oder wenn sowohl die Benutzer- als auch die Fallback-EEPROM-Konfigurationen beschädigt wurden. Im Falle eines beschädigten EEPROM-Inhalts kann das EEPROM mit dem Impact-Tool von Xilinx neu programmiert werden.

PIN	FUNKTION
1	TMS
2	TDI
3	TDO
4	TCK
5	GND
6	+3.3V

## RAHMEN BODEN

Das Montageloch oben links (in der Nähe der Ethernet-Buchse) ist der Anschluss für die Rahmenerdung. Dieser sollte für eine optimale ESD/EMI-Beständigkeit mit der Erde/Rahmenerde verbunden werden.

## P1 ERWEITERUNGSSTECKER

Das 7195 verfügt über eine 26-polige Stiftleiste, die eine E/A-Erweiterung über die eingebauten E/A auf der 7195-Karte hinaus ermöglicht. Diese E/A kann weitere Schritt-/Bewegungskanäle, Encoder usw. umfassen. Diese Stiftleiste hat eine Pinbelegung, die den Standard-Parallelport-Breakout-Karten und den 25-poligen FPGA-Tochterkarten von Mesa entspricht, wenn sie mit einem DB25-Stecker abgeschlossen werden.

P1 PIN	DB25 PIN	P1 FUNC	P1 PIN	DB25 PIN	P1 FUNC
1	1	IO41	2	14	IO42
3	2	IO43	4	15	IO44
5	3	IO45	6	16	IO46
7	4	IO47	8	17	IO48
9	5	IO49	10	18	GND
11	6	IO50	12	19	GND
13	7	IO51	14	20	GND
15	8	IO52	16	21	GND
17	9	IO53	18	22	GND / 5V
19	10	IO54	20	23	GND / 5V
21	11	IO55	22	24	GND oder 5V
23	12	IO56	24	25	GND oder 5V
25	13	IO57	26	XX	GND oder 5V

Die P1-Header-Pins 18, 20, 22, 24 und 26 (DB25-Pins 22 bis 25) können je nach W23-Position mit Masse oder 5 V verbunden werden.



## TB1 ENCODER 0... 2 STECKER

TB1 ist der Anschluss für die Encoder 0 bis 2 des 7195. Jede Encoderschnittstelle verwendet 8 Stifte  
TB1 ist eine 24-polige, steckbare 3,5-MM-Klemmenleiste mit drei abnehmbaren achtpoligen Schraubklemmensteckern.

TB1 PIN	FUNKTION	DIR
1	QA0	ZU 7195
2	/QA0	ZU 7195
3	GND	VON 7195
4	QB0	ZU 7195
5	/QB0	ZU 7195
6	+5V	VON 7195
7	IDX0	ZU 7195
8	/IDX0	ZU 7195
9	QA1	ZU 7195
10	/QA1	ZU 7195
11	GND	VON 7195
12	QB1	ZU 7195
13	/QB1	ZU 7195
14	+5V	VON 7195
15	IDX1	ZU 7195
16	/IDX1	ZU 7195
17	QA2	ZU 7195
18	/QA2	ZU 7195
19	GND	VON 7195
20	QB2	ZU 7195
21	/QB2	ZU 7195
22	+5V	VON 7195
23	IDX2	ZU 7195
24	/IDX2	ZU 7195

### TB2 ENCODER 3.. 5 ANSCHLUSS

TB2 ist der Anschluss für die Encoder 3 bis 5 des 7I95. Jede Geberschnittstelle hat 8 Stifte. TB2 ist eine 24-polige, steckbare 3,5-MM-Klemmenleiste, die mit drei achtpoligen, abnehmbaren Schraubklemmensteckern geliefert wird.

TB2 PIN	FUNKTION	DIR
1	QA3	ZU 7I95
2	/QA3	ZU 7I95
3	GND	VON 7I95
4	QB3	ZU 7I95
5	/QB3	ZU 7I95
6	+5V	VON 7I95
7	IDX3	ZU 7I95
8	/IDX3	ZU 7I95
9	QA4	ZU 7I95
10	/QA4	ZU 7I95
11	GND	VON 7I95
12	QB4	ZU 7I95
13	/QB4	ZU 7I95
14	+5V	VON 7I95
15	IDX4	ZU 7I95
16	/IDX4	ZU 7I95
17	QA5	ZU 7I95
18	/QA5	ZU 7I95
19	GND	VON 7I95
20	QB5	ZU 7I95
21	/QB5	ZU 7I95
22	+5V	VON 7I95
23	IDX5	ZU 7I95
24	/IDX5	ZU 7I95

### TB3 STEP/DIR 0... 3 STECKER

TB3 ist der Hauptanschluss des Schritt- und Richtungsausgangs des 7195. Beide Polaritäten der Schritt- und Richtungssignale sind vorhanden. Jeder Kanal auf der Schnittstelle verwendet 6 Stifte. TB3 ist eine steckbare 3,5-MM-Klemmenleiste mit abnehmbaren Schraubklemmensteckern.

TB3 PIN	SIGNAL	TB3 PIN	SIGNAL
1	GND	13	GND
2	STEP0.	14	STEP2
3	STEP0+	15	STEP2+
4	DIR0.	16	DIR2-
5	DIR0+	17	DIR2+
6	+5VP	18	+5VP
7	GND	19	GND
8	STEP1.	20	SCHRITT3-
9	STEP1+	21	STEP3+
10	DIR1.	22	DIR3.
11	DIR1+	23	DIR3+
12	+5VP	24	+5VP

*Hinweis: Die 5VP-Stifte sind PTC-kurzschlussgeschützte 5V-Ausgangsstifte für die Feldverdrahtung.*

### TB4 STEP/DIR 4,5, SERIELLER ERWEITERUNGSSTECKER

TB4 verfügt über eine Mischung von Signalen, einschließlich Schritt-/Drehzahlkanal 4, eine Encoder-Schnittstelle, eine RS-422/485-Schnittstelle und einen 5-V-Logikversorgungseingang. TB4 ist eine steckbare 3,5-MM-Klemmenleiste mit 24 Anschlüssen und abnehmbaren Schraubklemmensteckern.

TB4 PIN	SIGNAL	TB4 PIN	SIGNAL
1	GND	13	GND
2	STEP4.	14	RS-422/485 RX0+
3	STEP4+	15	RS-422/485 RX0-
4	DIR4.	16	RS-422 /485 TX0+
5	DIR4+	17	RS-422/485 TX0-
6	+5VP	18	+5VP
7	GND	19	GND
8	STEP5.	20	RS-422/485 RX1+
9	STEP5+	21	RS-422/485 RX1-
10	DIR5.	22	RS-422/485 TX1+
11	DIR5+	23	RS-422/485 TX1-
12	+5VP	24	+5VP

*Hinweis: Die 5VP-Stifte sind PTC-kurzschlussgeschützte 5V-Ausgangsstifte für die Feldverdrahtung.*

### TB5 ISOLIERTER I/O-ANSCHLUSS

Der Klemmenblock TB5 ist einer der isolierten E/A-Anschlüsse des 7195. Er hat 8 Eingänge (16 bis 23) und sechs isolierte Hochstromausgänge.

TB5 PIN	E/A	TB5 PIN	E/A
1	EINGABE16	13	OUT0-
2	EINGABE17	14	OUT0+
3	INCOM16,17	15	OUT1.
4	EINGABE18	16	OUT1+
5	EINGABE19	17	OUT2
6	INCOM18,19	18	OUT2+
7	EINGABE20	19	OUT3-
8	EINGABE21	20	OUT3+
9	INCOM20,21	21	OUT4.
10	EINGABE22	22	OUT4+
11	EINGABE23	23	OUT5.
12	INCOM22,23	24	OUT5+

### TB6 ISOLIERTER EINGANGSSTECKER

Der Klemmenblock TB6 ist einer der isolierten E/A-Anschlüsse des 7195. Er hat 16 Eingänge (0 bis 15)

TB6 PIN	E/A	TB6	E/A
1	EINGABE0	13	EINGABE8
2	EINGABE1	14	EINGABE9
3	INCOM0,1	15	INCOM8,9
4	EINGABE2	16	EINGABE10
5	EINGABE3	17	EINGABE11
6	INCOM2,3	18	INCOM10,11
7	EINGABE4	19	EINGABE12
8	EINGABE5	20	EINGABE13
9	INCOM4,5	21	INCOM12,13
10	EINGABE6	22	EINGABE14
11	EINGANG7	23	EINGABE15
12	INCOM6,7	24	INCOM14,15

## BETRIEB

### RS-422/RS-485-SCHNITTSTELLE

Das 7195 verfügt über zwei RS-422/RS-485-Schnittstellen an TB4. Diese Schnittstelle ist für die E/A-Erweiterung mit Mesa SSerial-Geräten vorgesehen. Der einfachste Weg, ein Kabel für die Verbindung des 7195 mit diesen Geräten herzustellen, ist, ein Standard-CAT5- oder CAT6-Kabel zu nehmen, es zu halbieren und die einzelnen Adern mit den 7195-Schraubklemmen zu verbinden. Die folgende Tabelle zeigt die CAT5-zu-7195-Schraubklemmenverbindungen mit den EIA/TIA 568B-Farben:

TB4 PIN	SIGNAL	RICHTUNG	CAT5-PIN	CAT5 568B FARBE
13,19	GND	VON 7195	4,5	BLAU, BLAU / WEISS
14,20	RX+	ZU 7195	6	GRÜN
15,21	RX-	ZU 7195	3	GRÜN / WEISS
16,22	TX+	VON 7195	2	ORANGE
17,23	TX-	VON 7195	1	ORANGE / WEISS
18,24	+5V	VON 7195	7,8	BRAUN / WEISS, BRAUN

---

*Hinweis: Bei der 6-poligen Klemmenleiste müssen die Paare +5V (braun und braun/weiß) und Masse (blau und blau/weiß) in einzelnen Schraubklemmenpositionen abgeschlossen werden.*

---

*TB4 Stifte 13 bis 18 sind serieller Kanal 0, TB4 Stifte 19 bis 24 sind serieller Kanal 1*

*Bei 2-Draht-RS-485-Anwendungen muss TX+ mit RX+ und TX- mit RX- verbunden werden.*

## SCHRITT/DIR-SCHNITTSTELLE

Der 7I95 bietet sechs Kanäle für eine Step/Dir-Schnittstelle mit gepufferten 5-V-Differenzsignalpaaren. Jedes differentielle Paar besteht aus zwei komplementären 5V-Ausgängen. Die Differenzsignale ermöglichen eine zuverlässige Signalübertragung in verrauschten Umgebungen und können direkt mit RS-422-Leitungsempfängern verbunden werden. Schrittmotorantriebe mit Single-Ended-Eingängen werden nur an einen der STEP- und DIR-Signalausgänge angeschlossen, d.h. entweder an die STEP+/DIR+- oder STEP-/DIR--Signale, wobei die nicht verwendeten Signale am 7I95 unbeschaltet bleiben. Das gemeinsame Eingangssignal von Antrieben mit Single-Ended-Eingängen wird an die GND- oder 5VP-Stifte des 7I95 angeschlossen, je nach Antriebstyp.

## ENCODER-SCHNITTSTELLE

Das 7I95 bietet sechs Kanäle für Quadratur-Encoder-Schnittstellen mit Index. Die Encodereingänge können für differentielle oder single ended Encoder programmiert werden. Das Encoder-Interface bietet auch eine kurzschlussfeste 5-V-Versorgung für die Encoder. Bei Verwendung mit Single-Ended-Gebern werden die Signale ENCA+, ENCB+ und IDX+ mit dem Geber verdrahtet und die Klemmen ENCA-, ENCB- und IDX- bleiben unbeschaltet.

## MAXIMALE GEBERZAHL

Der 7I95 verwendet gemultiplexte Encodersignale, um FPGA-Pins einzusparen. Die Multiplexing-Rate bestimmt die maximale Zählrate des Encoders. Die Standard-Multiplexing-Rate mit der HostMot2-Firmware ist  $\text{ClockLow} / 16$  oder ungefähr 6 MHz, was eine auflösbare Zählrate von 3 MHz ergibt.

## BOARD-STATUS-LEDS

Das 7195 hat sieben LEDS zur Überwachung des Kartenstatus. Die Farbe, Funktion und Position sind wie folgt:

LED	FARBE	FUNKTION	OK	STANDORT
CR19	ROT	FPGA /INIT	AUS	OBEN LINKS
CR20	ROT	FPGA /DONE	AUS	OBEN LINKS
CR21	GELB	LOGISCHE LEISTUNG	ON	OBEN LINKS
CR1	GRÜN	BENUTZER-LED3	ANY	OBEN LINKS
CR2	GRÜN	BENUTZER-LED2	ANY	OBEN LINKS
CR3	GRÜN	USER LED1	ANY	OBEN LINKS
CR4	GRÜN	USER LED0	ANY	OBEN LINKS

Im Normalbetrieb sind CR19 und CR20 ausgeschaltet. Wenn einer von ihnen nach dem Einschalten leuchtet, gibt es ein Problem mit der Konfiguration des FPGA. CR19 wird auch verwendet, um einen HostMot2-Watchdog-Biss zu signalisieren und leuchtet auf, wenn LinuxCNC beendet wird. CR21 (Power-LED) leuchtet ebenfalls. Die Benutzer-LEDs Standardfunktion zählt empfangene Pakete, aber ihre Funktion kann auf Benutzer zugänglich HostMot2 LEDs geändert werden, wenn gewünscht.

## E/A-STATUS-LEDS

Zusätzlich zu den Status-LEDs auf der Platine verfügt jeder isolierte Eingang und Ausgang über eine zugehörige gelbe LED, die aufleuchtet, wenn der Eingang oder Ausgang aktiv ist.

## ISOLIERTE E/A

Der 7195 hat 24 isolierte Eingänge und 6 isolierte Ausgänge. Alle 24 isolierten Eingänge haben einen gemeinsamen Pin pro Eingangspaar. Dieser gemeinsame Pin muss bei aktiven High-Eingängen an Masse und bei aktiven Low-Eingängen an die E/A-Spannung angeschlossen werden. Die 6 isolierten Ausgänge sind vollständig schwebende Schalter und können daher für Pull-up/Pull-down- und Mischspannungsschaltungen verwendet werden.

## ISOLIERTE EINGANGSEIGENSCHAFTEN

Die isolierten Eingänge verwenden Opto-Isolatoren mit einem Eingangsserienwiderstand von 4,7 K. Daraus ergibt sich eine ungefähre Stromaufnahme von 5 mA bei 24 V. Die Eingänge arbeiten mit Signalen von +4V bis +36V relativ zum gemeinsamen Eingang. Isolierte Eingänge sind relativ langsam und eignen sich nicht für Signale, die schneller als etwa 5 KHz sind. Jedes Eingangspaar hat einen separaten gemeinsamen Anschluss, um das Mischen von Senken/Senken und gemischten Versorgungsspannungen zu ermöglichen. Bei Sink-Typ-Eingängen ist der gemeinsame Eingangspin für ein bestimmtes Eingangspaar geerdet und ein +4 bis +36V-Signal wird an die Eingangspins angelegt, um den Eingang zu aktivieren. Bei Sourcing-Eingängen wird der gemeinsame Eingangsanschluss für ein bestimmtes Eingangspaar mit +5 bis +36 V verbunden und die Eingangsstifte werden geerdet, um einen Eingang zu aktivieren.

## MPG-ENCODER-EINGÄNGE

Die Standard-Firmware 7195 bietet 4 Quadratur-MPG-Gebereingänge an den isolierten Eingängen 0 bis 7. Da die Eingangsschwelle an isolierten Eingängen etwa 3 V beträgt, ist es am besten, sinkende Eingänge (mit dem gemeinsamen Eingangsanschluss an +5 V gebunden) mit TTL-Ausgangspegel-MPGs zu verwenden.

EINGABE	ENCODER	EINGABE	ENCODER
0	QUADA-0	4	QUADA-2
1	QUADB-0	5	QUADB-2
2	QUADA-1	6	QUADA-3
3	QUADB-1	7	QUADB-3

## ISOLIERTE AUSGANGSEIGENSCHAFTEN

Die 6 isolierten Ausgänge verwenden potentialfreie MOSFET-Schalter (ein DC Solid State Relais oder SSR) und können wie ein Schalter oder Relaiskontakt verwendet werden. Die maximale Spannung beträgt 36 VDC und der maximale Laststrom beträgt 2A. Induktive Lasten müssen mit einer Flyback-Diode versehen werden. Die Polarität der Ausgänge muss beachtet werden (verkehrte Ausgänge sind festgeschaltet).

---

*Hinweis: Die Ausgänge des 7195 sind nicht kurzschlussfest, daher sollte eine strombegrenzte Stromversorgung oder eine 2A bis 5A Sicherung in der Stromquelle, die die Ausgänge versorgt, verwendet werden.*

---



## HOST SCHNITTSTELLE

### FPGA

*Der 7195 verwendet ein Xilinx Spartan6 FPGA in einem TQFP 144 Gehäuse: XC6SLX9-2TQG144.*

### AUSWAHL DER IP-ADRESSE

*Die erste Kommunikation mit dem 7195 erfordert die Kenntnis seiner IP-Adresse. Das 7195 hat 3 IP-Adressoptionen: Standard, EEPROM und Bootp, ausgewählt durch die Jumper W5 und W6. Die Standard-IP-Adresse ist immer 192.168.1.121. Die EEPROM-IP-Adresse wird durch Beschreiben der Ethernet-EEPROM-Speicherplätze 0x20 und 0x22 eingestellt. Mit BootP kann die Adresse des 7195 von einem DHCP/BootP-Server eingestellt werden. Wenn BootP gewählt wird, wiederholt das 7195 BootP-Anfragen mit einer Rate von ~1 Hz, wenn der BootP-Server nicht antwortet.*

### HOST-KOMMUNIKATION

*Die 7195-Standard-Firmware ist für die Echtzeitkommunikation mit einem Host-Controller mit geringem Overhead konzipiert und implementiert daher einen sehr einfachen Satz von IPV4-Vorgängen. Diese Operationen umfassen ARP-Antwort, ICMP-Echo-Antwort und UDP-Paket-Empfang/Sendung für die Host-Datenkommunikation. UDP wird verwendet, damit der 7195 in einem Standardnetzwerk mit Standardtools für Nicht-Echtzeitanwendungen eingesetzt werden kann. Da keine Fragmentierung erlaubt ist, beträgt die maximale Paketgröße 1500 Byte.*

### UDP

*Die gesamte 7195-Ethernet-Kommunikation wird über UDP-Pakete abgewickelt. Die 7195-Socket-Nummer für die UDP-Datenkommunikation ist 27181. Gelesene Daten werden an die Portnummer des Anforderers weitergeleitet. Unter UDP wird ein einfaches Registerzugriffsprotokoll verwendet. Dieses Protokoll wird LBP16 genannt.*

### LBP16

*LBP16 ermöglicht den Lese- und Schreibzugriff auf bis zu acht separate Adressräume mit unterschiedlichen Größen und Eigenschaften. Die aktuelle Firmware verwendet sieben dieser Bereiche. Aus Gründen der Effizienz ermöglicht LBP16 den Zugriff auf Registerblöcke mit sequentiell ansteigenden Adressen. (Blockübertragungen)*

### WINDOWS-ARP-PROBLEME

*Der TCP-Stack von Windows XP und früheren Versionen hat eine Eigenschaft, die dazu führt, dass er ausgehende UDP-Pakete verwirft, wenn er seinen ARP-Cache auffrischt. Aus diesem Grund müssen Sie entweder die Paketübertragung überprüfen, indem Sie bei jeder Transaktion Daten von der 7195 abfragen (das Lesen von RXUDPCount wird empfohlen) und fehlgeschlagene Transaktionen erneut versuchen, oder alternativ einen statischen Eintrag für die 7195 in der ARP-Tabelle einrichten. Dies geschieht mit dem ARP-Befehl von Windows.*

### KONFIGURATION

*Der 7195 wird beim Einschalten über einen SPI FLASH-Speicher konfiguriert. Dieser Flash-Speicher ist ein 16-MBit-Chip, der Platz für zwei Konfigurationsdateien bietet. Da sich die gesamte Ethernet-Logik des 7195 im FPGA befindet, bedeutet ein Problem mit der Konfiguration, dass der Ethernet-Zugriff nicht möglich ist. Aus diesem Grund gibt es eine Backup-Methode zur Wiederherstellung bei FPGA-Boot-Fehlern.*

## FALLBACK

Das Backup-System wird als Fallback bezeichnet. Der Flash-Speicher des 7195 enthält normalerweise zwei Konfigurationsdateien: ein Benutzer-Image und ein Fallback-Image. Wenn die primäre Benutzerkonfiguration beschädigt wird, lädt das FPGA die Fallback-Konfiguration, so dass das Flash-Speicher-Image aus der Ferne repariert werden kann, ohne auf die JTAG-Programmierung zurückgreifen zu müssen.

---

Wenn Sie die 7195 mit einem gültigen Bitfile für eine XC6SLX9 programmieren, das nicht für eine 7195 bestimmt ist, werden Sie die Karte wahrscheinlich "bricken". Der einzige Weg, wie eine gebrickte Karte wiederhergestellt werden kann, ist mit JTAG.

---

## EEPROM LAYOUT

Das auf dem 7195 zur Konfigurationsspeicherung verwendete EEPROM ist das M25P16. Der M25P16 ist ein 16 M Bit (2 M Byte) EEPROM mit 32 64K Byte Sektoren. Die Konfigurationsdateien werden an Sektorgrenzen gespeichert, um ein individuelles Löschen und Aktualisieren der Konfigurationsdateien zu ermöglichen. Das Standard-EEPROM-Sektor-Layout ist wie folgt:

0x000000	BOOT BLOCK
0x010000	FALLBACK-KONFIGURATIONSBLOCK 0
0x020000	FALLBACK-KONFIGURATIONSBLOCK 1
0x030000	FALLBACK-KONFIGURATIONSBLOCK 2
0x040000	FALLBACK-KONFIGURATIONSBLOCK 3
0x050000	FALLBACK-KONFIGURATIONSBLOCK 4
0x060000	FALLBACK-KONFIGURATIONSBLOCK 5
0x070000	UNGEBRAUCHT/FREI
0x080000	UNGEBRAUCHT/FREI
0x090000	UNGEBRAUCHT/FREI
0x0A0000	UNGEBRAUCHT/FREI
0x0B0000	UNGEBRAUCHT/FREI
0x0C0000	UNGEBRAUCHT/FREI
0x0D0000	UNGEBRAUCHT/FREI
0x0E0000	UNGEBRAUCHT/FREI
0x0F0000	UNGEBRAUCHT/FREI
0x100000	BENUTZERKONFIGURATIONSBLOCK 0
0x110000	BENUTZER-KONFIGURATIONSBLOCK 1
0x120000	BENUTZERKONFIGURATIONSBLOCK 2
0x130000	BENUTZERKONFIGURATIONSBLOCK 3
0x140000	BENUTZER-KONFIGURATIONSBLOCK 4
0x150000	BENUTZERKONFIGURATIONSBLOCK 5
0x160000	UNGEBRAUCHT/FREI
0x170000	UNGEBRAUCHT/FREI
0x180000	UNGEBRAUCHT/FREI
0x190000	UNGEBRAUCHT/FREI
0x1A0000	UNGEBRAUCHT/FREI
0x1B0000	UNGEBRAUCHT/FREI
0x1C0000	UNGEBRAUCHT/FREI
0x1D0000	UNGEBRAUCHT/FREI
0x1E0000	UNGEBRAUCHT/FREI
0x1F0000	UNGEBRAUCHT/FREI

## BITFILE-FORMAT

Die Konfigurationsdienstprogramme erwarten Standard-FPGA-Bitdateien ohne aktivierte Multiboot-Funktionen. Wenn Multiboot-FPGA-Dateien geladen werden, werden sie wahrscheinlich einen Konfigurationsfehler verursachen. Damit Fallback funktioniert, müssen außerdem die Bitgen-Optionen `-g next_config_register_write:disable`, `-g reset_on_error:enable` und `-g CRC:enable` gesetzt sein.

## MESAFLASH

Die Linux- und Windows-Dienstprogramme MESAFLASH werden bereitgestellt, um Konfigurationsdateien in das EEPROM des 7195 zu schreiben. Diese Dateien hängen von einer einfachen SPI-Schnittstelle ab, die sowohl in den Standard-FPGA-Bitdateien als auch in der Fallback-Bitdatei enthalten ist.

Die MESAFLASH-Dienstprogramme erwarten Standard-FPGA-Bitfiles ohne aktivierte Multiboot-Funktionen. Wenn Multiboot-FPGA-Dateien geladen werden, führt dies wahrscheinlich zu einem Konfigurationsfehler.

Wenn `mesaflash` mit dem Kommandozeilenargument `- help` ausgeführt wird, werden Informationen über die Verwendung ausgegeben.

Die folgenden Beispiele gehen davon aus, dass das Ziel 7195 die ROM-IP-Adresse 192.168.1.121 verwendet.

**`mesaflash --Gerät 7195 -- FPGAFILE.BIT schreiben`**

Schreibt eine Standard-Bitdatei `FPGAFILE.BIT` in den Benutzerbereich des EEPROMs.

**`mesaflash --Gerät 7195 --verify FPGAFILE.BIT`**

Überprüft die Benutzer-EEPROM-Konfiguration anhand der Bit-Datei `FPGAFILE.BIT`.

**`mesaflash --device 7195 --fallback --write FALLBACK.BIT`**

Schreibt die Fallback-EEPROM-Konfiguration in den Fallback-Bereich des EEPROMs. Wenn der Bootblock nicht in Block 0 des EEPROMs vorhanden ist, wird der Bootblock außerdem neu geschrieben.

## EINSTELLEN DER EEPROM-IP-ADRESSE

MESAFLASH kann auch die EEPROM-IP-Adresse des 7195 schreiben:

**`MESAFLASH --device 7195 --set ip=192.168.0.100`**

In den obigen Beispielen wird davon ausgegangen, daß das 7195 seine Standard-ROM-IP-Adresse hat (192.168.1.121). Wenn das 7195 eine andere IP-Adresse verwendet, muss diese in der Befehlszeile mit dem Befehlszeilenargument `- addr XX.XX.XX.XX` angegeben werden.

## FREIER FLASH-SPEICHERPLATZ

Neunzehn 64-K-Byte-Blöcke des Flash-Speicherplatzes sind frei, wenn sowohl Benutzer- als auch Fallback-Konfigurationen auf dem 7195 installiert sind. Es wird vorgeschlagen, dass nur die letzten beiden Blöcke, 0x1E0000 und 0x1F0000 im Benutzerbereich, für den Flash-Speicher der FPGA-Anwendung verwendet werden.

## FALLBACK-ANZEIGE

Die von Mesa gelieferten Fallback-Konfigurationen lassen die rote INIT-LED oben rechts auf der Karte blinken, wenn die Primärkonfiguration fehlschlägt und die Fallback-Konfiguration erfolgreich geladen wurde. Wenn dies geschieht, bedeutet dies, dass die Benutzerkonfiguration beschädigt ist oder nicht die richtige Konfiguration für das 7195s FPGA ist. Dies kann behoben werden, indem das Konfigurationsprogramm ausgeführt und die Benutzerkonfiguration neu geschrieben wird.

## NICHTKONFIGURATION

Das 7195 sollte sein FPGA innerhalb eines Sekundenbruchteils nach dem Einschalten konfigurieren. Wenn die FPGA-Karte nicht konfiguriert werden kann, leuchtet die rote /DONE-LED CR2 weiter. In diesem Fall müssen die EEPROMs des 7195 über den JTAG-Anschluss oder (schneller) durch Laden des JTAG-FPGA und anschließendes Ethernet-EEPROM-Update neu programmiert werden.

## UHR-SIGNALE

Der 7195 verfügt über ein einzelnes 50-MHz-Taktsignal von einem karteneigenen Quarzoszillator. Das Taktsignal kann vom FPGA-Taktgeneratorblock multipliziert und geteilt werden, um eine breite Palette von internen Taktsignalen zu erzeugen. Der 50-MHz-Takt wird auch verwendet, um den 25-MHz-Takt für den Ethernet-Schnittstellen-Chip zu erzeugen.

## LOGISCHE LEISTUNG

Die 5-V-Logikversorgung für die Host-Schnittstelle FPGA, die Erweiterungsanschlüsse, die RS-422- und Drehgeberanschlüsse sowie die Schritt-/Drehgeberanschlüsse können am Anschluss P3 oder alternativ an TB2 bereitgestellt werden.

## PULLUP-WIDERSTÄNDE

Alle Erweiterungs-E/A-Pins sind mit Pull-up-Widerständen ausgestattet, um den Anschluss an Open-Drain-, Open-Collector- oder OPTO-Geräte zu ermöglichen. Diese Widerstände haben einen Wert von 4,7K und damit einen maximalen Pull-up-Strom von ~1,07 mA (5V-Pull-up) oder ~,7 mA (3,3V-Pull-up).

## ERWEITERUNGSSTECKER IO EBENEN

Die auf dem 7195 verwendeten Xilinx-FPGAs verfügen über programmierbare I/O-Pegel für die Anbindung an verschiedene Logikfamilien. Das 7195 unterstützt nicht die Verwendung von I/O-Standards, die Eingangsreferenzspannungen erfordern. Alle Standard-Mesakonfigurationen verwenden LVTTTL-Pegel. Beachten Sie, dass die 7195 Erweiterungs-E/A zwar 5V-Signaleingänge tolerieren können, ihre Ausgänge jedoch nicht auf 5V umschalten können. Bei den Ausgängen handelt es sich um Push-Pull-CMOS, die auf die Ausgangsversorgungsschiene von 3,3 V getrieben werden. Dies ist für die TTL-Kompatibilität ausreichend, kann aber bei einigen Lasttypen zu Problemen führen. Wenn beispielsweise eine LED, deren Anode an 5 V angeschlossen ist, in Geräten wie OPTO-Isolatoren und SSRs für E/A-Module betrieben wird, schaltet der hohe 3,3-V-Pegel die LED möglicherweise nicht vollständig aus. Um dieses Problem zu vermeiden, treiben Sie entweder Lasten an, die massebezogen sind, verwenden Sie 3,3 V als VCC für VCC-bezogene Lasten oder verwenden Sie den Open-Drain-Modus.

## ERWEITERUNGSSTECKER STARTUP I/O SPANNUNG

Nach dem Einschalten oder System-Reset und bevor das FPGA konfiguriert wird, ziehen die Pull-up-Widerstände alle E/A-Signale auf einen hohen Pegel. Wenn das FPGA für die Bewegungssteuerung oder die Steuerung von Geräten verwendet wird, die im aktivierten Zustand eine Gefahr darstellen könnten, sollten externe Schaltungen so konzipiert werden, dass dieser Ausgangszustand (High) zu einem sicheren Zustand führt.

## REFERENZINFORMATIONEN

### LBP16

#### ALLGEMEINES

LBP16 ist das einfache Registerzugriffsprotokoll, das vom 7195 für die gesamte Ethernet-Kommunikation verwendet wird.

#### LBP16-BEFEHLE

LBP16 ist ein einfaches Fernregisterzugriffsprotokoll, das einen effizienten Registerzugriff über die Ethernet-Verbindung ermöglicht. Alle LBP16-Befehle sind 16 Bit lang und haben die folgende Struktur:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	A	C	M	M	M	S	S	I	N	N	N	N	N	N	N

<b>W</b>	Ist das Schreibbit (1 bedeutet Schreiben, 0 bedeutet Lesen)
<b>A</b>	Ist das Include Address Bit. Ist dies '1', folgt auf den Befehl eine 16-Bit-Adresse und der Adresszeiger wird mit dieser Adresse geladen. Ist dies 0, wird der aktuelle Adresszeiger für den Speicherbereich verwendet. Jeder Speicherbereich hat seinen eigenen Adresszeiger.
<b>C</b>	Gibt an, ob auf den Speicherplatz selbst (C='0') oder auf den zugehörigen Informationsbereich für den Speicher zugegriffen wird (C='1')
<b>M</b>	Ist der 3-Bit-Speicherplatzspezifizierer 000b bis 111b
<b>S</b>	Ist die Angabe der Größe des Übertragungselements (00b = 8 Bits, 01b = 16 Bits, 10b = 32 Bits und 11b = 64 Bits)
<b>I</b>	Ist dies das Bit "Increment address" (Adresse erhöhen). Ist dies "1", wird der Adresszeiger nach jeder Übertragung um die Größe des Elements (in Bytes) erhöht ("0" ist nützlich für FIFO-Übertragungen)
<b>N</b>	Ist die Anzahl der Übertragungen in Einheiten der ausgewählten Größe. 1 bis 127. Eine Übertragungsanzahl von 0 ist ein Fehler.

Auf LBP16-Lesebefehle folgt die 16-Bit-Adresse (wenn das A-Bit gesetzt ist). LBP16-Schreibbefehle werden gefolgt von der Adresse (wenn Bit A gesetzt ist) und den zu schreibenden Daten. LBP16-Adressen sind immer Byte-Adressen. LBP-Daten und -Adressen sind Little Endian und müssen daher mit dem LSB zuerst gesendet werden.

## INFOBEREICH

Im LBP16 gibt es acht mögliche Speicherbereiche. Jeder Speicherplatz hat einen zugehörigen Nur-Lese-Infobereich. Der erste Eintrag enthält ein Cookie, um den korrekten Zugriff zu überprüfen. Die nächsten beiden Einträge im Infobereich sind das MemSizes Wort und das MemRanges Wort. Auf den Infobereich kann nur lesend mit 16 Bit zugegriffen werden.

0000	COOKIE = 0X5A0N MIT N = ADRESSRAUM 0...7
0002	MEMSIZES
0004	MEMRANGES
0006	ADRESSZEIGER
0008	SPACENAME 0,1
000A	SPACENAME 2,3
000C	SPACENAME 4,5
000E	SPACENAME 6,7

## INFOBEREICH SPEICHERGRÖSSE FORMAT

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	T	T	T	T	T	T	T	X	X	X	X	A	A	A	A

<b>W</b>	Speicherplatz ist beschreibbar
<b>T</b>	Ist Typ: 01 = Register, 02 = Speicher, 0E = EEPROM, 0F = Flash
<b>A</b>	Ist die Zugriffsart (Bit 0 = 8 Bit, Bit 1 = 16 Bit usw.), so dass z. B. 0x06 bedeutet, dass 16-Bit- und 32-Bit-Operationen zulässig sind

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E	E	E	E	E	P	P	P	P	P	S	S	S	S	S	S

<b>E</b>	Ist die Größe des Löschblocks
<b>P</b>	Ist Seitengröße
<b>S</b>	Ps-Adressbereich

Die Bereiche sind  $2^E$ ,  $2^P$ ,  $2^S$ . Alle Größen und Bereiche sind in Bytes angegeben. E und P sind 0 für Nicht-Flash-Speicher

## INFO\_AREA ZUGANG

Wie bereits erwähnt, haben alle Speicherbereiche einen zugehörigen Informationsbereich, der den Speicherbereich beschreibt. Die Daten des Informationsbereichs bestehen aus 16 Bits und sind schreibgeschützt. Die folgenden Hex-Befehlsbeispiele sind der Einfachheit halber in der Reihenfolge des ersten LSB geschrieben. In den Hex-Befehlsbeispielen ist NN das Zähl-/Erhöhungsfeld des LBP16-Befehls und LLHH ist das Low- und High-Byte der Adresse.

Ispace 0 lesen mit Adresse	NN61LLHH	HostMot2 Raum
Ispace 0 lesen	NN21	
Ispace 1 mit Adresse lesen	NN65LLHH	Ethernet-Chipplatz
Ispace 1 lesen	NN25	
Ispace 2 mit Adresse lesen	NN69LLHH	Ethernet EEPROM-Speicherplatz
Ispace 2 lesen	NN29	
Ispace 3 mit Adresse lesen	NN6DLLHH	FPGA-Flash-Speicher
Ispace 3 lesen	NN2D	
Ispace 6 mit Adresse lesen	NN79LLHH	LBP16 R/W Leerzeichen
Ispace 6 lesen	NN39	
Ispace 7 mit Adresse lesen	NN7DLLHH	LBP16 R/O Raum
Ispace 7 lesen	NN3D	

## 7195 UNTERSTÜTZTE SPEICHERBEREICHE

Die 7195-Firmware unterstützt 6 Adressräume. Diese werden einzeln mit Beispielen für hexadezimale Befehle beschrieben. Die nachstehenden Hex-Befehlsbeispiele sind der Einfachheit halber in der Reihenfolge des ersten LSB geschrieben. In den Hex-Befehlsbeispielen ist das NN das Zähl-/Erhöhungsfeld des LBP16-Befehls und das LLHH ist das Low- und High-Byte der Adresse.

## PLATZ 0: HOSTMOT2-REGISTER

Dieser Adressraum ist der wichtigste, da er den Zugriff auf die FPGA-E/A ermöglicht. Es handelt sich um einen 64K-Byte-Adressbereich mit 32-Bit-R/W-Zugriff.

Platz 0 gelesen mit Adresse	NN42LLHH
Platz 0 gelesen mit Adresse	NNC2LLHH
Leerzeichen 0 lesen	NN02
Leerzeichen 0 schreiben	NN82

Beispiel: Lesen der ersten 5 Einträge in hostmot2 IDROM:

85420004

85	85 == NN = 5   Inc-Bit (0x80), so dass die Adresse nach jedem Schritt inkrementiert wird
42	Zugang
00	Lesen aus Raum 0 mit Adresse nach dem Befehl
04	LSB der Adresse (IDROM beginnt bei 0x0400)
Beispiel: Schreiben von 4 GPIO-Ports beginnend bei 0x1000:	84C20010AAAAAAAABBBBBBBBCCCCCCCCDDDDDD
84	84 == NN = 4   Inc-Bit, so dass die Adresse nach jedem Zugriff inkrementiert wird
C2	Schreiben auf Platz 0 mit Adresse nach dem Befehl
00	LSB der Adresse (GPIO beginnt bei 0x1000)
10	MSB der Adresse (GPIO beginnt bei 0x1000)
AAAAAAAA	32-Bit-Daten für GPIO-Port 0 an 0x1000
BBBBBBBB	32-Bit-Daten für GPIO-Port 0 an 0x1004
CCCCCCCC	32-Bit-Daten für GPIO-Port 0 an 0x1008
DDDDDDDD	32-Bit-Daten für GPIO-Port 0 an 0x100C

*Hinweis: Wie bei allen LBP16-Daten sind die Schreibdaten zuerst das LS-Byte.*



### PLATZ 1: ZUGANG ZUM ETHERNET-CHIP

Platz 1 ermöglicht den Zugriff auf die KSZ8851-16-Register zu Debug-Zwecken. Alle Zugriffe sind 16 Bit.

Platz 1 gelesen mit Adresse	NN45LLHH
Platz 1 schreiben mit Adresse	NNC5LLHH
Platz 1 gelesen	NN05
Platz 1 schreiben	NN85
Beispiel: Lesen des CIDER-Registers des Ethernet-Chips:	0145C000
01	; = NN = 1 16-Bit-Wert lesen
45	Lesebereich 1 mit eingeschlossener Adresse
C0	LSB der CIDER-Adresse
00	MSB der CIDER-Adresse

## PLATZ 2: ZUGRIFF AUF DEN ETHERNET-EEPROM-CHIP

In diesem Bereich werden die Ethernet-MAC-Adresse, der Kartename und die im EEPROM einstellbare IP-Adresse gespeichert. Der Zugriff auf den Ethernet-EEPROM-Speicher erfolgt als 16-Bit-Daten. Die ersten 0x20 Bytes sind nur lesbar, die restlichen 0x60 Bytes sind lesbar/schreibbar.

Platz 2 mit Adresse lesen	NN49LLHH
Platz 2 schreiben mit Adresse	NNC9LLHH
Platz 2 lesen	NN09
Platz 2 schreiben	NN89

Für Schreib- und Löschvorgänge muss EEPROMWena auf 5A02 gesetzt werden.

Beachten Sie, dass EEPROMWena am Ende jedes LPB-Pakets gelöscht wird, so dass der Befehl EEPROMWena schreiben allen EEPROM-Schreib- und -Löschpaketen vorangestellt werden muss. Bei EEPROM-Schreiboperationen sollte zur Synchronisation mit dem Host eine LBP16-Leseoperation auf die Schreiboperation(en) folgen.

Beispiel: EEPROM IP-Adresse mit 192:168.0.32 (C0:A8:0:20 in hex) schreiben

01D91A00025A	EEPROM-Bereich zum Schreiben freigeben
82C920002000A8C0	Schreibe 2 Wörter zu 0020 : C0A80020 (mit inc). Beachten Sie, dass dies im gleichen Paket sein muss und das EEPROMWena schreiben

## ETHERNET EEPROM LAYOUT

ADRESSE	DATEN
0000	Reserviert RO
0002	MAC-Adresse LS Wort RO
0004	MAC-Adresse Mid Word RO
0006	MAC-Adresse MS Wort RO
0008	Reserviert RO
000A	Reserviert RO
000C	Reserviert RO
000E	Unbenutzte RO
0010	KartenameZeichen-0,1 RO
0012	KartenameZeichen-2,3 RO
0014	KartenameZeichen-4,5 RO
0016	KartenameZeichen-6,7 RO
0018	KartenameZeichen-8,9 RO
001A	KartenameZeichen-10,11 RO
001C	KartenameZeichen-12,13 RO
001E	KartenameZeichen-14,15 RO
0020	EEPROM IP-Adresse LS-Wort RW
0022	EEPROM IP-Adresse MS-Wort RW
0024	EEPROM Netzmaske LS Wort RW (V16 und > Firmware)
0026	EEPROM Netzmaske MS-Wort RW (V16 und > Firmware)
0028	DEBUG LED Mode (LS-Bit bestimmt HostMot2 (0) oder Debug(1)) RW
002A	Reserviert RW
002C	Reserviert RW
002E	Reserviert RW
0030...7E	Unbenutzt RW

### PLATZ 3: FPGA FLASH EEPROM CHIP ZUGRIFF

Platz 3 ermöglicht den Zugriff auf den Konfigurations-Flash-Speicher des FPGAs. Der gesamte Zugriff auf den Flash-Speicher erfolgt über 32 Bit. Der Zugriff auf den Flash-Speicher unterscheidet sich von anderen Speicherbereichen dadurch, dass er indirekt über einen 32-Bit-Adresszeiger und einen 32-Bit-Datenport erfolgt.

Platz 3 mit Adresse lesen	NN4ELLHH
Leerzeichen 3 schreiben mit Adresse	NNCELLHHDDDDDDDD
Leerzeichen 3 lesen NN0E	
Platz 3 schreiben NN8E	

### FLASH-SPEICHER-REGISTER

Flash-Speicherplätze haben nur 4 zugängliche Register:

ADRESSE	DATEN	
0000	FL_ADDR	32-Bit-Flash-Adressregister
0004	FL_DATA	32-Bit-Flash-Datenregister
0008	FL_ID	32-Bit-Flash-ID-Register, nur lesbar
000C	SEC_ERASE	32-Bit-Sektor-Löschregister, nur zum Schreiben

Im Gegensatz zu anderen Speicherbereichen erfolgt der Zugriff auf den Flash-Speicherbereich indirekt durch Schreiben des Adressregisters (FL\_ADDR) und anschließendes Lesen oder Schreiben der Daten (FL\_DATA). Die Flash-Byte-Adresse wird bei jedem Datenzugriff automatisch um 4 inkrementiert.

---

*Beachten Sie, dass Lesevorgänge den gesamten Flash-Speicher mit aufeinanderfolgenden Lesevorgängen lesen können, Schreibvorgänge jedoch nur eine Flash-Seite an Daten schreiben können, bevor der Seitenschreibvorgang gestartet werden muss. Außerdem sollte der Schreibvorgang immer an einer Seitengrenze beginnen, es sei denn, Sie schreiben eine Teilseite.*

---

*Der Seitenschreibvorgang wird durch Schreiben der Flash-Adresse, Lesen der Flash-Adresse, Lesen der Flash-Daten, Lesen der Flash-ID oder durch einen Sektor-Löschbefehl gestartet. Zur Synchronisierung mit dem Host sollte auf jedes Löschen eines Sektors oder Schreiben einer Seite ein Lesevorgang folgen.*

### PLATZ 3: FPGA FLASH EEPROM CHIP ZUGRIFF

*Beispiel: Lesen von 1024 Bytes (0100h Doppelwörter) des Flash-Speicherplatzes an der Adresse 00123456:*

01CE000056341200	FL_ADDR (0000) mit Zeiger (0x00123456) schreiben
404E0400	Lesebefehl erteilen (FL_DATA = 0004) Mit Zählung von 0x40
400E	Doppelwörter (256 Bytes). Hinweis: Verwenden Sie nicht LBP16-Inkrement
400E	Bit! Flash-Adresse immer autoincrementiert
400E	Nächste 0x40 Doppelwörter = 256 Bytes

*Beachten Sie, dass dies nahe an der maximal zulässigen Lesemenge in einem einzelnen LBP-Paket liegt (~1450 Byte).*

*Für Schreib- und Löschvorgänge muss EEPROMWEna auf 5A03 gesetzt werden. Beachten Sie, dass EEPROMWEna am Ende jedes LPB-Pakets gelöscht wird, so dass der Schreibbefehl EEPROMWEna allen Flash-Schreib- und -Löschpaketen vorangestellt werden muss. Das Folgende wird aus Gründen der Übersichtlichkeit in getrennten Zeilen geschrieben, muss aber für einen korrekten Betrieb in einem Paket enthalten sein.*

*Beispiel: Schreiben einer 256-Byte-Seite des Flash-Speichers, beginnend bei 0xC000:*

01D91A00035A	EEPROMWEna mit 0x5A03 schreiben
01CE000000C00000	Flash-Adresse schreiben
40CE0400	Befehl zum Schreiben von Flash-Daten mit Count
12345678	Doppelwort 0
ABCD8888	Doppelwort 1
...	Doppelwort 63 (= 256 Bytes)
FFFFFFFF	Lesen Sie die neue Adresse, um den Schreibvorgang zu bestätigen, und so werden einige Daten
014E0000	für die Host-Synchronisation zurückgegeben (der Host wartet also auf das Schreiben in

### PLATZ 3: FPGA FLASH EEPROM CHIP ZUGRIFF

*Beispiel: Löschen des Flashsektors 0x00010000:*

01D91A00035A	EEPROMWEna mit 0x5A03 schreiben
01CE000000000100	Flash-Adresse mit 0x 00010000 schreiben
01CE0C0000000000	Schreibsektor-Löschbefehl (mit Dummy 32 Bit Daten = 0)
014E0000	Flash-Adresse für die Host-Synchronisation lesen (es wird das Echo der

### RAUM 4 LBP TIMER/BENUTZUNGSBEREICH

Adressraum 4 ist für den Lese-/Schreibzugriff auf LBP-spezifische Timing-Register vorgesehen. Der gesamte Zugriff auf Speicherplatz 4 erfolgt mit 16 Bit.

Platz 4 mit Adresse lesen	NN51LLHH
Space 4 schreiben mit Adresse	NND1LLHHDDDD
Platz 4 lesen	NN11
Platz 4 schreiben	NN91DDDD

### SPEICHERPLATZ 4 LAYOUT:

ADRESSE	DATEN
0000	uSTimeStampReg
0002	WaituSReg
0004	HM2Zeitüberschreitung
0006	WaitForHM2RefTime
0008	Warten aufHM2Timer1
000A	WaitForHM2Timer2
000C	Warten aufHM2Timer3
000E	WaitForHM2Timer4
0010..001E	Scratch-Register für jeden Einsatz

Das uSTimeStamp-Register liest den frei laufenden Hardware-Mikrosekunden-Timer. Es ist nützlich für die Zeitmessung interner 7195-Operationen. Schreibvorgänge in das uSTimeStamp-Register sind nicht möglich. Das WaituS-Register verzögert die Verarbeitung um die angegebene Anzahl von Mikrosekunden, wenn es beschrieben wird (0 bis 65535 uS), Lesevorgänge geben die zuletzt geschriebene Wartezeit zurück. Das HM2TimeOut-Register legt den Timeout-Wert für alle WaitForHM2-Zeiten fest (0 bis 65536 uS).

Alle WaitForHM2Timer-Register warten beim Lesen oder Schreiben auf die steigende Flanke des angegebenen Timer- oder Referenzausgangs, Schreibdaten sind egal, und Lesevorgänge geben die Wartezeit in uS zurück. Das HM2TimeOut-Register legt eine Obergrenze fest, wie lange die WaitForHM2-Operationen warten werden. HM2Timeouts setzen das HM2Timeout-Fehlerbit im Fehlerregister.

## RAUM 6 LBP STATUS/KONTROLLBEREICH

Der Adressraum 6 dient dem Lese-/Schreibzugriff auf LBP-spezifische Steuer-, Status- und Fehlerregister. Der gesamte Zugriff auf Speicherplatz 6 erfolgt mit 16 Bit. RXUDPCount und TXUDPCount können als Sequenznummern verwendet werden, um den Empfang und die Übertragung von Paketen zu überprüfen.

Platz 6 mit Adresse lesen	NN59LLHH
Leerzeichen 6 schreiben mit Adresse	NND9LLHHDDDD
Platz 6 lesen	NN19
Platz 6 schreiben	NN99DDDD

## SPEICHERPLATZ 6 LAYOUT:

ADRESSE	DATEN	
0000	FehlerReg	
0002	LBPParseFehler	
0004	LBPMemErrors	
0006	LBPWriteErrors	
0008	RXPktCount	
000A	RXUDPCount	
000C	RXBadCount	
000E	TXPktCount	
00010	TXUDPCount	
00012	TXBadCount	
0014	LEDModus	Wenn LSB 0 ist, gehören die LEDs dem HostMot2, andernfalls sind es lokale Debug-LEDs.
0016	DebugLEDPtr	Welche Variable in Raum 6 lokale Debug-LEDs anzeigen (Standard ist RXPktCount).
0018	Kratzer	Kann für laufende Nummern verwendet werden
001A	EEPROMWena	Muss auf 5A0N gesetzt werden, um EEPROM- oder Flash-Schreiben oder -Löschen zu ermöglichen (N ist der Speicherplatz des EEPROM oder Flash).
001C	LBPReset	Wenn Sie hier einen Wert ungleich Null einstellen, wird die LBP16-Firmware vollständig zurückgesetzt. Das 7195 liest seine IP-Adress-Jumper und weist seine IP-Adresse neu zu. Das 7195 ist nach diesem Befehl für ½ Sekunde nicht mehr ansprechbar.
001E	FPGAICAP	FPGA ICAP-16-Register, um das Nachladen von FPGAs aus der Ferne und andere FPGA-Zugriffe auf niedriger Ebene zu ermöglichen.

## FEHLERREGISTERFORMAT

BIT	ERROR
0	LBPParseFehler
1	LBPMemError
2	LBPWriteError
3	RXPacketErr
4	TXPacketErr
5	HM2TimeOutFehler
6..15	Reserviert

**RAUM 7: LBP NUR-LESE-BEREICH**

*Speicherplatz 7 wird für schreibgeschützte Karteninformationen verwendet. Der Zugriff auf Speicherplatz 7 erfolgt als 16-Bit-Daten.*

Leerzeichen 7 mit Adresse lesen	NN5DLLHH
Platz 7 lesen	NN1D

**SPEICHERPLATZ 7 LAYOUT:**

ADRESSE	DATEN	
0000	KartenameZeichen-0,1	
0002	KartenameZeichen-2,3	
0004	KartenameZeichen-4,5	
0006	KartenameZeichen-6,7	
0008	KartenameZeichen-8,9	
000A	KartenameZeichen-10,11	
000C	KartenameZeichen-12,13	
000E	KartenameZeichen-14,15	
0010	LBPVersion	
0012	FirmwareVersion	
0014	Option Jumper	
0016	Reserviert	
0018	RecvStartTS	1 uSek Zeitstempel
001A	RecvDoneTS	Für die Leistungsüberwachung
001C	SendStartTS	Sendezeitstempel sind
001E	SendDoneTS	aus <b>vorherigem</b> Paket

## ELBPCOM

*ELBPCOM ist ein sehr einfaches Demoprogramm in Python (2.x), das eine einfache Überprüfung der LBP16-Host-Kommunikation mit dem 7195 ermöglicht. ELBPCOM akzeptiert hexadezimale LBP16-Befehle und -Daten und gibt hexadezimale Ergebnisse zurück. Beachten Sie, dass der Timeout-Wert auf etwa 2 Sekunden erhöht werden muss, um Flash-Sektor-Löschbefehle zu versuchen.*

Einfuhrsocket

```
s = socket.socket(socket.AF_INET, socket.SOCK_DGRAM, 0)
sip = "192.168.1.121"
Sport = 27181
s.settimeout(.2)
while(2 > 0):
    sdata = raw_input('>')
    sdata = sdata.decode('hex')
    s.sendto(sdata, (sip, sport))
    versuchen:
    data, addr = s.recvfrom(1280)
    print('>'), data.encode('hex')
    except socket.timeout:
    print('Keine Antwort')
```

Probelauf:

```
>01420001 ; Hostmot2-Cookie an 0x100 lesen
> fecaaa55 ; 7I95 liefert 0x55AACAFE
>82492000 ; EEPROM-IP-Adresse an 0x0020 lesen
> 450a5863 ; 63:58:0A:45 = 99.88.10.69
; (zum Beispiel)
>01D91A00025A82C920000100a8C0 ; EEPROM IP-Adresse schreiben
; (bei 0x0020) mit
C0:A8:0:1 = 192.168.0.1
```



## SPEZIFIKATIONEN

	MIN	MAX	ANMERKUNGEN
<b>ALLGEMEINES</b>			
HOST-VERSORGUNGSSPANNUNG 5V	4.75	5.25	VDC
5V STROM	----	500 mA	Keine externe Last
<b>SCHRITT-/RICHTUNGS-AUSGÄNGE</b>			
STEP/DIR AUSGANG HOCH V	4V	----	10 mA-Quelle
STEP/DIR AUSGANG NIEDRIG V	----	1V	10mA Senke
SCHRITTMASS	----	10	MHz
<b>ISOLIERTE EINGÄNGE</b>			
EINGABEBEREICH	+4	+36	V
EINGANGSWIDERSTAND	4.7K	5K	
EINGANGS-ISOLATIONSSPANNUNG	----	100	VDC
MAXIMALE EINGANGSFREQUENZ	----	5	KHz
<b>ISOLIERTE AUSGÄNGE</b>			
AUSGANG GESCHALTETE SPANNUNG	0	+36	V
AUSGANG GESCHALTETER STROM	----	2	A
AUSGANGSWIDERSTAND	----	75	mOhm
AUSGANGS-ISOLATIONSSPANNUNG	----	100	VDC
MAXIMALE AUSGANGSFREQUENZ	----	5	KHz
<b>HOCHGESCHWINDIGKEITS-DREHGEBER-EINGÄNGE</b>			
EINGANGS-GLEICHTAKTBEREICH	-7	+12	Spannungen
EINGANG TTL MODUS SCHWELLE	1.4	1.8	Spannungen
DIFFERENTIALMODUS-IMPEDANZ	118	122	Ohms
ZÄHLUNGSRATE	----	3 MHz	
<b>RS-422/RS485-SCHNITTSTELLE</b>			
MAXIMALE DATENRATE	----	5	MBIT/S
EINGANGS-GLEICHTAKTBEREICH	-7	+12	Spannungen
EINGANGSABSCHLUSSWIDERSTAND	118	122	Ohm
OUTPUT LOW (24 mA Senke)	----	.8	Spannungen
OUTPUT HIGH (24 mA-Quelle)	VCC-2	----	Spannungen
<b>EXPANSION E/A</b>			
AUSGANGSSPANNUNG NIEDRIG	----	.4V	8 mA Senke
AUSGANGSSPANNUNG HOCH	2.4V	----	8 mA-Quelle
<b>UMWELT</b>			
TEMPERATUR -C VERSION	0°C	70°C	

### ZIEHUNGEN

